

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-258157

(P2003-258157A)

(43) 公開日 平成15年9月12日 (2003.9.12)

(51) Int.Cl.⁷

H 0 1 L 23/12
21/301
21/56

識別記号

5 0 1

F I

H 0 1 L 23/12
21/56
21/78

テーマコード(参考)

5 0 1 P 5 F 0 6 1
R
Q

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願2002-53621(P2002-53621)

(22) 出願日 平成14年2月28日 (2002.2.28)

(71) 出願人 000003193

凸版印刷株式会社

東京都台東区台東1丁目5番1号

(72) 発明者 古屋 明彦

東京都台東区台東1丁目5番1号 凸版印刷株式会社内

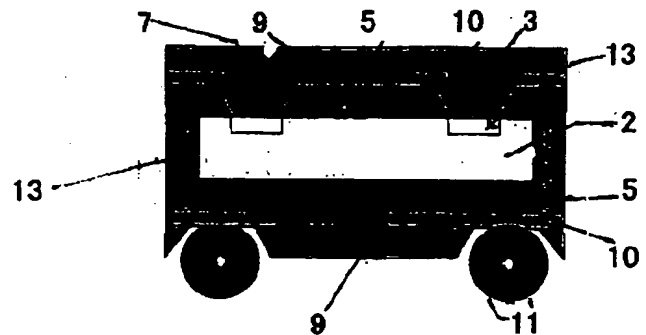
Fターム(参考) 5F061 AA01 BA07 CA26

(54) 【発明の名称】 チップサイズパッケージの製造方法

(57) 【要約】

【課題】 上記の問題を解決するための課題は、ウエハー一括処理による、ファンアウト構造のチップサイズパッケージを提供。

【解決手段】 多数の半導体素子が形成のウエハーの裏面に保護テープを貼り付と、半導体素子を個々に切断、保護テープを拡張し半導体素子間に隙間を形成と、表面から、前記素子間の隙間まで、全面に絶縁樹脂層を形成と、前記テープを剥離、全面に絶縁樹脂層を形成と、前記ウエハー両面から、絶縁樹脂層にバイアホールを孔設、及び半導体装置間の隙間の絶縁樹脂層に裏面まで貫通する貫通孔を孔設、配線パターンを形成、配線保護層を形成と、前記ウエハーの裏面から、前記配線保護層にホールを孔設、外部接続端子を形成と、前記ウエハーから、半導体装置を個々に切断個片化し、チップサイズパッケージを得る製造方法。



【特許請求の範囲】

【請求項1】半導体装置を製造するチップサイズパッケージの製造方法において、(a)多数の半導体素子が形成されたウエハの裏面に保護テープを貼り付ける工程と、(b)前記ウエハの表面から保護テープの表面まで断裁を行い、半導体素子を個々に分離した後、所定の割合(%)まで、保護テープを拡張する事により、半導体素子間に所定の隙間を形成する工程と、(c)前記ウエハの表面全面に絶縁性樹脂を塗布し、半導体素子表面、及び前記半導体素子間の隙間までを覆う絶縁樹脂層を形成する工程と、(d)前記保護テープを剥離する工程と、(e)前記絶縁樹脂層に、半導体素子の電極と導通を取るためのバイアホールを孔設する工程と、(f)前記絶縁樹脂層全面にバイアホール内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、(g)前記配線パターン、及び前記絶縁樹脂層を覆うよう全面に配線保護層を形成後、前記配線保護層に、配線パターンの電極と導通を取るためのホールを孔設後、外部接続端子を形成する工程と、(h)前記ウエハから、半導体装置を個々に切断個片化し、チップサイズパッケージを得る工程とを有することを特徴とするチップサイズパッケージの製造方法。

【請求項2】請求項1記載の工程(f)前記ウエハの表面から、前記絶縁樹脂層全面にバイアホール内壁までを覆うよう全面に配線層を形成後、該配線層に所定の配線パターンを形成する工程が終了した後、(a)前記配線パターン、及び前記絶縁樹脂層を覆うよう全面に絶縁樹脂層を形成する工程と、(b)前記絶縁樹脂層に、半導体素子の電極と導通を取るためのバイアホールを孔設する工程と、(c)前記絶縁樹脂層全面にバイアホール内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、を繰り返し、半導体素子の上面に、配線パターンを2層以上に多層化する事の特徴とする請求項1記載のチップサイズパッケージの製造方法。

【請求項3】半導体装置を製造するチップサイズパッケージの製造方法において、(a)多数の半導体素子が形成されたウエハの裏面に保護テープを貼り付ける工程と、(b)前記ウエハの表面から保護テープの表面まで断裁を行い、半導体素子を個々に分離した後、所定の割合(%)まで、保護テープを拡張する事により、半導体素子間に所定の隙間を形成する工程と、(c)前記ウエハの表面全面に絶縁樹脂を塗布し、半導体素子表面、及び前記半導体素子間の隙間まで覆う絶縁樹脂層を形成する工程と、(d)前記保護テープを剥離する工程と、(e)前記ウエハの裏面全面に絶縁樹脂層を形成する工程と、(f)前記ウエハの裏面側の絶縁樹脂層に、半導体素子の電極と導通を取るため、前記絶縁樹脂層にバイアホールを孔設、及び前記半導体装置間の隙間の絶縁樹脂層部位にウエハ表面から裏面まで貫通する

貫通孔を孔設する工程と、(g)前記ウエハの表面側の絶縁樹脂層に、半導体素子の電極と導通を取るためのバイアホールを孔設する工程と、(h)前記ウエハの裏面側の絶縁樹脂層全面にバイアホール、及び貫通孔の内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、(i)前記ウエハの表面側の絶縁樹脂層全面にバイアホール内壁までを覆う、配線層を形成後、該配線層に所定の配線パターンを形成する工程と、(j)前記ウエハの表面側に、前記配線パターン、及び前記絶縁樹脂層を覆うよう全面に配線保護層を形成する工程と、(k)前記ウエハの裏面側に、前記配線パターン、及び前記絶縁樹脂層までを覆うよう全面に配線保護層を形成後、前記配線保護層に、配線パターンの電極と導通を取るためのホールを孔設後、外部接続端子を形成する工程と、(l)前記ウエハから、半導体装置を個々に切断個片化し、チップサイズパッケージを得る工程とを有することを特徴とするチップサイズパッケージの製造方法。

【請求項4】請求項3記載の工程(h)前記ウエハの裏面側の前記絶縁樹脂層全面にバイアホール、及び貫通孔の内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程が、終了後に、(a)前記ウエハの裏面側全面に、前記配線パターン、及び前記絶縁層を覆う絶縁樹脂層を形成する工程と、(b)前記ウエハの裏面側に、半導体素子の電極と導通を取るため、前記絶縁樹脂層にバイアホールを孔設、及び前記半導体装置間の隙間の絶縁樹脂層部位に貫通孔を孔設する工程と、(c)前記ウエハの裏面側全面に前記絶縁樹脂層からバイアホール、及び貫通孔の内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、を繰り返し、前記ウエハの裏面に、配線パターンを2層以上に多層化する事の特徴とする請求項3記載のチップサイズパッケージの製造方法。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】本発明は、半導体装置を製造するチップサイズパッケージの製造方法に関する。

【0002】

【従来の技術】従来の技術では、半導体装置のチップサイズパッケージの製造方法は、ウエハに直接に加工処理し、最後の工程で、個片に断裁するウエハ一括処理が主流である。上記加工処理を説明する。まず、多数の半導体素子を面付けして形成したウエハを準備する。次に、多数の半導体素子が形成するウエハの全面に絶縁樹脂層を形成する。次に、前記半導体素子の電極部と導通をとるため、前記絶縁樹脂層にバイアホールを孔設する。

【0003】前記絶縁樹脂層からバイアホールの内壁まで、めっき法を用いて、導体層を形成し、予め準備したフォトリソマスクを用いて、所定の配線パターンを形成す

る。

【0004】次に、前記配線パターンを保護する保護層を形成する。保護層の形成は、前記配線パターンの全面にソルダーレジスト樹脂を塗布、又は積層して保護層（ソルダーレジスト層）を形成する。前記配線パターンの電極部と導通をとるため、の前記絶縁樹脂層に開口部を孔設する。

【0005】次に前記開口部に外部端子、例えばハンダボールを搭載する。次に、ダイシング装置を用いて断裁し、面付けされた半導体素子を個片化して、半導体装置のチップサイズパッケージ（半導体素子と略同一の大きさとした半導体装置）を製造する。

【0006】図6は、従来の技術の製造方法で得られたチップサイズパッケージの一例を示す部分側断面図である。半導体素子のサイズと半導体装置のサイズとは略同じサイズに仕上がっている。図6の側断面図は、基板となるウエハー2表面に形成された半導体素子の電極3が、導通するバイアホールによって外部端子11に接続した半導体装置を示している。前記半導体装置の両サイドには絶縁樹脂層は形成されていないチップサイズパッケージである。

【0007】上述したウエハー上で一括処理する製造方法では、前記配線パターンの配線領域は、半導体素子のサイズ内に制限され、半導体素子のサイズ以上の配線領域を持つ半導体装置のチップサイズパッケージは作成できないという問題がある。

【0008】又、従来のウエハー一括処理の製造方法ではファンアウト構造のチップサイズパッケージを製造できないという問題がある。

【0009】近年、配線パターンの高密度化、微細化、及び電極数の増加する多ピン化等、に対応するため配線領域の拡大と、ファンアウト構造のチップサイズパッケージをウエハー一括処理の製造方法により製造すること、等が望まれている。又、製造コストを削減することが要望されている。

【0010】

【発明が解決しようとする課題】本発明の課題は、上記の問題を解決しようとするもので、ウエハー一括処理であっても、ファンアウト構造のチップサイズパッケージを得ることのできるチップサイズパッケージの製造方法を提供するものである。

【0011】

【課題を解決するための手段】本発明の請求項1に係る発明は、半導体装置を製造するチップサイズパッケージの製造方法において、（a）多数の半導体素子が形成されたウエハーの裏面に保護テープを貼り付ける工程と、

（b）前記ウエハーの表面から保護テープの表面まで断裁を行い、半導体素子を個々に分離した後、所定の割合（％）まで、保護テープを拡張する事により、半導体素子間に所定の隙間を形成する工程と、（c）前記ウエハ

一の表面全面に絶縁性樹脂を塗布し、半導体素子表面、及び前記半導体素子間の隙間までを覆う絶縁樹脂層を形成する工程と、（d）前記保護テープを剥離する工程と、（e）前記絶縁樹脂層に、半導体素子の電極と導通を取るためのバイアホールを孔設する工程と、（f）前記絶縁樹脂層全面にバイアホール内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、（g）前記配線パターン、及び前記絶縁樹脂層を覆うよう全面に配線保護層を形成後、前記配線保護層に、配線パターンの電極と導通を取るためのホールを孔設後、外部接続端子を形成する工程と、（h）前記ウエハーから、半導体装置を個々に切断個片化し、チップサイズパッケージを得る工程とを有することを特徴とするチップサイズパッケージの製造方法である。

【0012】次に、本発明の請求項2に係る発明は、請求項1記載の工程（f）前記ウエハーの表面から、前記絶縁樹脂層全面にバイアホール内壁までを覆うよう全面に配線層を形成後、該配線層に所定の配線パターンを形成する工程が終了した後、（a）前記配線パターン、及び前記絶縁樹脂層を覆うよう全面に絶縁樹脂層を形成する工程と、（b）前記絶縁樹脂層に、半導体素子の電極と導通を取るためのバイアホールを孔設する工程と、（c）前記絶縁樹脂層全面にバイアホール内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、を繰り返し、半導体素子の上面に、配線パターンを2層以上に多層化する事を特徴とする請求項1記載のチップサイズパッケージの製造方法である。

【0013】次に、本発明の請求項3に係る発明は、半導体装置を製造するチップサイズパッケージの製造方法において、（a）多数の半導体素子が形成されたウエハーの裏面に保護テープを貼り付ける工程と、（b）前記ウエハーの表面から保護テープの表面まで断裁を行い、半導体素子を個々に分離した後、所定の割合（％）まで、保護テープを拡張する事により、半導体素子間に所定の隙間を形成する工程と、（c）前記ウエハーの表面全面に絶縁樹脂を塗布し、半導体素子表面、及び前記半導体素子間の隙間までを覆う絶縁樹脂層を形成する工程と、（d）前記保護テープを剥離する工程と、（e）前記ウエハーの裏面全面に絶縁樹脂層を形成する工程と、（f）前記ウエハーの裏面側の絶縁樹脂層に、半導体素子の電極と導通を取るため、前記絶縁樹脂層にバイアホールを孔設、及び前記半導体装置間の隙間の絶縁樹脂層部位にウエハー表面から裏面まで貫通する貫通孔を孔設する工程と、（g）前記ウエハーの表面側の絶縁樹脂層に、半導体素子の電極と導通を取るためのバイアホールを孔設する工程と、（h）前記ウエハーの裏面側の絶縁樹脂層全面にバイアホール、及び貫通孔の内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、（i）前記ウエハーの表面側の絶縁樹脂層全面にバイアホール内壁までを覆う、配線層を形成

後、該配線層に所定の配線パターンを形成する工程と、

(j) 前記ウエハーの表面側に、前記配線パターン、及び前記絶縁樹脂層を覆うよう全面に配線保護層を形成する工程と、(k) 前記ウエハーの裏面側に、前記配線パターン、及び前記絶縁樹脂層までを覆うよう全面に配線保護層を形成後、前記配線保護層に、配線パターンの電極と導通を取るためのホールを孔設後、外部接続端子を形成する工程と、(l) 前記ウエハーから、半導体装置を個々に切断個片化し、チップサイズパッケージを得る工程とを有することを特徴とするチップサイズパッケージの製造方法である。

【0014】次に、本発明の請求項4に係る発明は、請求項3記載の工程(h) 前記ウエハーの裏面側の前記絶縁樹脂層全面にバイアホール、及び貫通孔の内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程が、終了後に、(a) 前記ウエハーの裏面側全面に、前記配線パターン、及び前記絶縁層を覆う絶縁樹脂層を形成する工程と、(b) 前記ウエハーの裏面側に、半導体素子の電極と導通を取るため、前記絶縁樹脂層にバイアホールを孔設、及び前記半導体装置間の隙間の絶縁樹脂層部位に貫通孔を孔設する工程と、(c) 前記ウエハーの裏面側全面に前記絶縁樹脂層からバイアホール、及び貫通孔の内壁までを覆う配線層を形成後、該配線層に所定の配線パターンを形成する工程と、を繰り返し、前記ウエハーの裏面に、配線パターンを2層以上に多層化する事を特徴とする請求項3記載のチップサイズパッケージの製造方法である。

【0015】

【発明の実施の形態】

【0016】本発明のチップサイズパッケージの製造方法について詳細に説明する。

【0017】図1は、本発明の製造方法で得られたチップサイズパッケージの一例を示す部分側断面図である。

【0018】図1の側断面図は、基板となるウエハー2表面に形成された半導体素子の電極3が、導通するバイアホールによって外部端子11と接続された半導体装置である。本発明の方法によれば、前記半導体の両サイドには絶縁樹脂部が形成され、両サイドにも回路が形成されたチップサイズパッケージとなっている。

【0019】図2は、本発明の製造方法で得られたチップサイズパッケージの一例を示す部分側断面図である。

【0020】図2の側断面図は、基板となるウエハー2表面に形成された半導体素子の電極3が、導通する貫通孔12(貫通スルホール13)によって、ウエハーの裏面に形成する配線パターンと回路を形成し、前記回路と導通するバイアホールによって外部端子11と回路を形成した半導体装置である。前記半導体の両サイドは本発明の方法により形成した絶縁樹脂部に前記貫通スルホール13が形成されたチップサイズパッケージである。

【0021】本発明のチップサイズパッケージの製造方

法を、図3を用いて説明する。図3(a)は、多数の半導体素子14が面付けして形成されたウエハー2である。次いで、図3(b)に示すように、多数の半導体素子が形成されたウエハーの裏面に保護テープ4(ダイシングテープ)を貼り付ける。

【0022】次いで、前記ウエハーの表面側から保護テープ4の表面まで断裁を行い、前記半導体素子14を個々に切断分離する。次いで図3(c)に示すように、保護テープを面方向に引っ張る。これにより保護テープは図中の矢印方向に所定の割合(%)まで拡張される事により、保護テープ上に有る半導体素子間には所定の隙間が形成される。次いで、図3(d)に示すように、前記ウエハーの表面から絶縁樹脂を塗布し、前記半導体素子間の隙間までを覆う絶縁樹脂層5を全面に形成する。次に、前記ウエハーの裏面から、前記保護テープを剥離する。ここで前記の剥離後に、図3(d)に示すように、例えば、ヒートシンク用の銅板6を裏面に貼り合わせても構わない。

【0023】次いで、図3(e)に示すように、前記ウエハーの表面側に形成した前記絶縁樹脂層5に、半導体素子の電極と導通を取るためのバイアホール7を孔設する。前記孔設の一手段として、レーザー光による孔明け加工機を使用することが望ましい。

【0024】次に、図3(f)に示すように、前記ウエハーの表面側から、前記絶縁樹脂層からバイアホール内壁まで全面に、無電解めっき法を用いて、無電解めっき層8を形成する。

【0025】次いで、前記無電解めっき層8の全面に感光性レジスト層を形成した後、予め準備したフォトリソマスクを用い感光性レジスト層へのパターン露光し、現像も行い、前記無電解めっき層に所定の配線パターンを有するレジストパターンを形成する。次いで、前記レジストパターンの表面、及びレジストパターンから露出した無電解めっき層部位に、電解めっき層を形成し、前記レジスト層を剥離除去した後、該表面に露出する無電解めっき層をソフトエッチング法によって除去し、独立した導体回路の配線パターン10を形成する。

【0026】次いで、前記ウエハーの表面から、前記配線パターンから絶縁層まで、全面に配線保護するソルダーレジスト層9を形成後、前記ソルダーレジスト層に、配線パターンの電極と導通を取るためのホールを孔設する。前記孔設はレーザー光による孔明け加工機を使用する。次に、前記ホールに外部接続端子、例えばハンダボールを装着形成する。(図3(g)参照)

【0027】次いで、図3(h)に示すように、前記ウエハーから、半導体装置1を個々に切断個片化し分離することでチップサイズパッケージを得る。上述した説明では、半導体素子の上面に配線パターンを1層形成する事例につき述べたが、半導体素子上に2層以上の配線パターンを形成することも可能である。以下その方法を説

明する。

【0028】まず、前述した工程に従いウエハーの表面に、所定の配線パターンを形成する工程まで行う。このとき、図3(g)のソルダーレジスト層9、外部接続端子11を有しない状態となっている。次いで、図3

(d)に示すように、前記ウエハーの表面側に、前記配線パターンから前記絶縁層まで、全面に絶縁樹脂層を形成する。次に、図3(e)に示すように、前記ウエハーの表面から、前記絶縁樹脂層に、半導体素子の電極と導通を取るためのバイアホールを孔設する。次に、図3

(f)に示すように、前記ウエハーの表面から、前記絶縁樹脂層からバイアホール内壁まで、全面に、無電解めっき層を形成する。次いで、感光性レジスト層を形成した後、予め準備したフォトマスクを用いてレジスト層へのパターン露光し、現像をおこない、該無電解めっき層に所定の配線パターンを有するレジストパターンを形成する。次いで前記レジストパターンの表面に、電解めっき層を形成した後、前記レジスト層を剥離除去し、該表面に露出する無電解めっき層をソフトエッチング法によって除去し、配線パターン10を形成する。(図3

(g)参照)以上の図3(d)と、図3(e)と、図3(f)と、図3(g)の4工程を繰り返す行うことで、半導体素子の上面に、配線パターンを2層以上の多層化配線を備えたチップサイズパッケージの製造が可能となる。

【0029】なお、上記の配線パターンの形成方法は、サブトラクティブ法、又はセミアデティブ法、若しくはフルアデティブ法であってもよく、適宜選択しても構わない。

【0030】次に、図4、図5を用いて本発明のチップサイズパッケージの他の製造方法を説明する。図4

(a)は、多数の半導体素子14が面付け形成されたウエハー2である。次いで、図4(b)に示すように、前記ウエハーの裏面に保護テープ4(ダイシングテープ)を貼り付けた後、ウエハー2を保護テープ4の表面まで断裁し、半導体素子14を個々に切断分離する。次いで、図4(c)に示すように、保護テープを面方向に引っ張る。これにより保護テープは図中矢印方向に所定の割合(%)まで拡張する事により、保護テープ上にある半導体素子間には所定の隙間が形成される。

【0031】次いで、図4(d)に示すように、前記ウエハーの表面側から、絶縁樹脂を塗布し前記半導体素子間の隙間までを覆う絶縁樹脂層5を全面に形成する。次に、前記ウエハーの裏面から、前記ダイシングテープ4を剥離する。

【0032】次いで、図4(e)に示すように、前記ウエハーの裏面側全面に絶縁樹脂層5を形成する。

【0033】次いで、前記ウエハーの表面側に、半導体素子の電極と導通を取るため、前記絶縁樹脂層へのバイアホール7を孔設と、前記半導体素子間の隙間に絶縁樹

脂層を形成した形成部にウエハー表面から裏面まで貫通する貫通ホール12の孔を孔設する。但し、場合によっては、前記バイアホール7の孔設は不要となることも有するため適宜選択する必要がある。(図4(f)参照)なお、前記バイアホール7と貫通ホール12の孔設はレーザー光による孔明け加工機を使用することが望ましい。また、貫通ホール12の孔設はウエハー裏面側から行うことが望ましい。

【0034】次いで、前記ウエハーの表面側と、裏面側とに、両面の前記絶縁樹脂層5、及びバイアホール7、前記貫通ホール12の内壁までを覆うよう全面に、無電解めっき層8を形成する。(図4(g)参照)

【0035】次いで、ウエハーの両面の前記無電解めっき層に、感光性レジスト層を形成した後、予め準備したフォトマスクを用いて感光性レジスト層へのパターン露光し、現像を行うことで、前記無電解めっき層に所定の配線パターンを有するレジストパターンを形成する。

【0036】次いで、前記レジストパターンの表面に、電解めっき法を用いて、電解めっき層を形成し、前記レジスト層を剥離除去した後、前記ウエハー両表面に露出する無電解めっき層をソフトエッチング法によって除去し、ウエハー両面に独立した導体回路の配線パターン10を形成する。(図5(h)参照)

【0037】次に、前記ウエハーの表面側に、前記配線パターンから前記絶縁層までを覆うよう全面に配線保護層としてのソルダーレジスト層9を形成する。次に、前記ウエハーの裏面側に、前記配線パターンから前記絶縁層までを覆うよう全面に配線保護層としてのソルダーレジスト層9を形成後、前記ソルダーレジスト層に、配線パターンの電極と導通を取るためのホールを孔設する。前記ホールに外部接続端子11を、例えばハンダボール等を装着形成する。(図5(i)参照)

【0038】前記ウエハーを断裁し、半導体装置1を個々に切断個片化し、チップサイズパッケージを得る。

(図5(j)参照)上述した説明では、半導体素子の裏面に配線パターンを1層形成する事例に付き述べたが、半導体素子の裏面に2層以上の配線パターンを形成することも可能である。

【0039】まず、前述した工程に従い、図5(h)に示すように、前記ウエハーの両面に、所定の配線パターン10を形成する工程が終了した後に、図4(e)に示すように、前記ウエハーの裏面側に、前記配線パターンから前記絶縁層までを覆うよう全面に絶縁樹脂層5を形成する。次に、図4(f)に示すように、前記絶縁樹脂層にバイアホールの孔設と、前記半導体素子間の隙間に絶縁樹脂層を形成した形成部を貫通する貫通孔を孔設する。次に、図4(g)に示すように、前記ウエハーの裏面側に、前記絶縁樹脂層、及びホール内壁までを覆うよう全面に無電解めっき層8を形成する。次に、前記ウエハーの裏面側の無電解めっき層全面に、レジスト層を形

成した後、前記レジスト層を所定の配線パターンを有するレジストパターンを形成する。次に、前記レジストパターンの表面側に、電解めっき層を形成し、前記レジスト層を剥離除去し、前記電解めっき層の表面に露出する無電解めっき層をソフトエッチング法によって除去し、配線パターン10を形成する。(図5(h)参照)

【0040】すなわち、ウエハーの裏面から、以上の図4(e)と、図4(f)と、図4(g)と、図5(h)の4工程を繰り返し行うことで、半導体素子を形成したウエハーの裏面に、配線パターンを2層以上の多層化配線を備えたチップサイズパッケージの製造が可能となる。

【0041】

【作用】ウエハー一括処理方法では、ウエハーから半導体装置を個片に断裁するダイシング工程が従来の製造方法では工程の最後に行っている。しかし、本発明の方法は保護テープの貼付け後に断裁する。これにより、配線エリアを広げる作用がある。

【0042】

【実施例】次に、本発明の、以下に具体的な実施例に従って説明する。

【0043】<実施例1>図3は、本発明の図1に示すチップサイズパッケージの製造方法の一実施例を説明する工程図である。

【0044】まず、図3(a)に示すように、Si材のウエハー2上に、Al材からなる電極パッドを形成した多数の半導体素子14が形成された8インチφウエハー2を準備した。

【0045】次に、図3(b)に示すように、前記ウエハー2の裏面に保護テープ4を貼り合わせた。前記テープは(株)リンテック製、商品名：ダイシングテープD675を使用した。

【0046】次に、図3(c)に示すように、ダイシング装置を用いて、ウエハーの表面から断裁を行い、半導体素子14を個々に切断分離した。このとき、保護テープの切断は行わない。

【0047】次に、ウエハー拡張器を用いて、前記保護テープ4を均等に拡張し、半導体素子間に所定の隙間を形成した。(図3(c)参照)

【0048】次に、ウエハーの表面側に絶縁樹脂層5を形成した。前記絶縁樹脂層はドライフィルムを用いて形成したものであり、前記ドライフィルムは味の素(株)製の商品名：ABF-70Hを使用し、真空ラミネータ法により、90℃に加熱しながら積層した。次に、室温にて冷却した後、前記ドライフィルムの支持フィルムを剥離し、熱風乾燥炉に入れて、150℃、30分のポストキュア加熱を行った。

【0049】次に、ウエハーの裏面側より前記保護テープ4を剥離した後、ウエハー裏面に接着剤を用いてヒートシンク用の銅版6を貼りつけた。(図3(d)参照)

【0050】次に、図3(e)に示すように、ビーム径が150μmφの炭酸ガスレーザー光を用いて、前記絶縁樹脂層5の所定の位置に孔径が120μmφバイアホール用孔7を形成した。

【0051】バイアホール用孔7を形成後、KMnO₄：濃度60g/l、NaOH：濃度40g/lからなるデスマア溶液で、温度80℃、10分間洗浄処理し、バイアホール用孔7内壁に付着した異物、例えばエポキシ樹脂成分等からなる残査を除去した。その後、硫酸ヒドロキシルアミン：20g/l、硫酸：50ml/lからなる中和溶液で、温度45℃、5分間の中和処理後、水洗した。

【0052】次に、パラジウム触媒、アトテック(株)製、商品名：ネオガントを使用して、絶縁樹脂層、バイアホール用孔内壁、及びホールの底部までの全表面に、パラジウム核(Pb核)を付着した。

【0053】次に、金属銅として、2.3g/l、EDTAを20g/l、ホルマリンを2.5g/lを基本組成とし、水酸化ナトリウムにて、pH=12.5に調整した無電解銅めっき液ジャパンエナジー(株)製の製品名KC-500に、空気を吹き込みながら、温度70℃、15分間めっき処理して、絶縁樹脂層表面、及びバイアホール内の表面に、0.5μm厚の無電解銅めっき層8を形成した。(図3(f)参照)

【0054】次いで、ドライフィルムの感光性レジストを無電解銅めっき層8上全面にラミネートした後、予め準備したフォトリソマスクを用いて、感光性レジストにパターン露光した後、炭酸ナトリウム溶液を用いて現像処理した。これにより、所定のパターンを有するレジスト膜20μmのレジストパターン層を形成した。

【0055】次に、前記ウエハーを硫酸100g/lの溶液に、25℃、1分間浸漬させた後、レジストパターン表面、及び前記無電解銅めっき層のレジストパターン層からの露出面に電解めっきを行った。前記電解めっき液は、硫酸銅濃度70g/l、硫酸濃度200g/l、塩酸濃度50mg/l、添加物(奥野製薬(株)製、商品名トッブルチナSF)濃度5mg/l、からなるめっき液を使用した。電解めっき処理条件は、めっき液の温度は25℃に維持し、40分間浸漬して、電流密度は、3A/dm²の条件で、電解銅めっき処理し、めっき層の厚さ18μmの電解銅めっき層を形成した。

【0056】次に、前記レジスト層を剥離除去した。次にウエハー表面の全面をソフトエッチングして、露出した前記無電解銅めっき層を除去した。ソフトエッチング液は、98%溶液の硫酸400ml/l、過酸化水素100ml/l、からなるソフトエッチング液を使用した。以上の処理により独立した導体回路の配線パターン10を形成した。

【0057】次に、前記配線パターン10を保護するため、ソルダーレジスト層9を形成した。ソルダーレジ

ト樹脂は市販のBTレジンを使用して、ソルダーレジスト層9を形成した。

【0058】次に、炭酸ガスレーザー光を用いて、前記ソルダーレジスト層9に、下層の電極部と導通をとるために、500 μ mの開口部を開口形成した。その開口部に直径400 μ mのハンダボール11を搭載した。(図3(g)参照)次に、図3(h)に示すように、ダイシング装置を用いて、ウエハーの表面から、半導体装置1を個々に切断分離し、個片化したファンアウト型チップサイズパッケージを得た。

【0059】<実施例2>図4、図5は、本発明の図2に示すチップサイズパッケージの製造方法の一実施例を説明する工程図である。

【0060】まず、図4(a)に示すように、Si材のウエハー2上に、Al材からなる電極パッドを形成した多数の半導体素子14が面付け形成された8インチ ϕ ウエハー2を準備した。

【0061】次に、図4(b)に示すように、前記ウエハー2の裏面に保護テープ4を貼り合わせた。前記テープ4は(株)リンテック製商品名：ダイシングテープD675を使用した。

【0062】次に、図4(b)に示すように、ダイシング装置を用いて、ウエハーの表面から断裁を行い、半導体素子14を個々に切断分離した。このとき、保護テープの切断は行わない。

【0063】次に、ウエハー拡張器を用いて、前記保護テープ4を均等に拡張し、半導体装置間に隙間を形成した。(図4(c)参照)

【0064】次に、図4(d)に示すように、ウエハーの表面に絶縁樹脂層5を形成した。前記絶縁樹脂層はドライフィルムを用いて形成した。前記ドライフィルムは味の素(株)製の商品名：ABF-70Hを使用し、真空バミネーターにより、90℃に加熱しながら積層した。次に、室温にて冷却した後、前記ドライフィルムの支持フィルムを剥がし、熱風乾燥炉に入れて、150℃、30分のポストキュア加熱を行った。

【0065】次に、ウエハーの裏面側より、前記保護テープ4を剥離した。

【0066】次に、ウエハーの裏面側に、絶縁樹脂層5を形成した。該絶縁樹脂は前記同様に、味の素(株)製の商品名：ABF-70Hを用いて、前記と同じ方法で形成した。(図4(e)参照)

【0067】次に、図4(f)に示すように、ビーム径が150 μ m ϕ の炭酸ガスレーザー光を用いて、前記表面側絶縁樹脂層5の所定の位置に孔径が120 μ m ϕ バイアホール用孔7の孔設、及び前記半導体素子間の隙間に絶縁樹脂層を貫通する貫通孔12の孔設を行った。

【0068】バイアホール用孔7、及び貫通孔12を形成後、KMnO₄：濃度60g/l、NaOH：濃度40g/lからなるデスマア溶液で、温度80℃、10分

間洗浄処理し、バイアホール用孔7、及び貫通孔12の内壁に付着した異物、例えばエポキシ樹脂成分等の残さを溶解除去した。その後、硫酸ヒドロキシルアミン：20g/l、硫酸：50ml/lからなる中和溶液で、温度45℃、5分間の中和処理後、水洗した。

【0069】次に、ウエハーの表面、裏面から、パラジウム触媒、アトテック(株)製、商品名：ネオガントを使用して、ウエハーの両面の絶縁樹脂層からバイアホール用孔7、及びウエハーを貫通する貫通孔12の内壁から底部まで全表面にパラジウム核(Pb核)を付着した。

【0070】次に、金属銅として、2.3g/l、EDTAを20g/l、ホルマリンを2.5g/lを基本組成とし、水酸化ナトリウムにて、pH=12.5に調整した無電解銅めっき液ジャパンエナジー(株)製の商品名、KC-500に、空気を吹き込みながら、温度70℃、15分間めっき処理して、ウエハー両面の絶縁樹脂層からバイアホール用孔7、及びウエハーを貫通する貫通孔12の内壁から底部まで全表面に、0.5 μ m厚の無電解銅めっき層8を形成した。(図4(f)参照)

【0071】次に、両面の無電解銅めっき層に、ドライフィルムの感光性レジストをラミネートした後、予め準備したフォトマスクを用いて、感光性レジストへのパターン露光した後、炭酸ナトリウム溶液を用いて現像処理した。これにより、所定のパターンとしたレジスト膜20 μ mのレジストパターン層を形成した。なお、レジストパターン層を両面に形成した。

【0072】次に、ウエハーを、硫酸100g/lの溶液に、25℃、1分間浸漬させた後、ウエハー両面に形成したレジストパターン層の表面、及び前記無電解銅めっき層のレジストパターン層からの露出面に電解めっきを行った。前記電解めっき液は、硫酸銅濃度70g/l、硫酸濃度200g/l、塩酸濃度50mg/l、添加物、奥野製薬(株)製の商品名トッブルチナSF濃度5mg/lからなるめっき液を使用した。電解めっき処理条件は、25℃、40分間、電流密度は、3A/dm²の条件で、電解銅めっき処理し、めっき層厚さ18 μ mの電解銅めっき層を形成した。

【0073】次に、ウエハーの表面、及び裏面から、前記レジスト層を剥離除去した。次にウエハー表裏面の全面をソフトエッチングして、露出した前記無電解銅めっき層を除去した。ソフトエッチング液は、98%溶液の硫酸400ml/l、過酸化水素100ml/lからなるソフトエッチング液を使用した。独立した導体回路の配線パターン10を形成した。以上の処理により独立した導体回路の配線パターン10を形成した。(図5(h)参照)

【0074】次いで、ウエハーの表面、及び裏面から、市販のBTレジンを使用して、ソルダーレジスト層9を形成した。

【0075】次に、炭酸ガスレーザー光を用いて、前記ウエハーの裏面の solder レジスト層 9 に、下層のパターンの電極部と導通をとるために、 $500\mu\text{m}$ の開口部を開口形成した後、その開口部に直径 $400\mu\text{m}$ のハンダボール 11 を搭載した。(図 5 (i) 参照) 次に、図 5 (j) に示すように、ダイシング装置を用いて、ウエハーの表面から、半導体装置 1 を個々に切断分離し、個片化したファンアウト型チップサイズパッケージを得た。

【0076】

【発明の効果】本発明のウエハー一括処理の製造方法によれば、ファンアウト型のチップサイズパッケージを制作することができる。又、本発明の製造方法は半導体素子のサイズより広い配線エリアが形成できる。そのため、従来の製造方法で得られたチップサイズパッケージより外部接続端子を設置できる場所が増える。すなわち、本発明の製造方法によれば、外部接続端子数を従来の半導体装置より増やすことが出来る。

【図面の簡単な説明】

【図 1】本発明の製造方法で得られたチップサイズパッケージの一例を示す部分側断面図である。

【図 2】本発明の製造方法で得られたチップサイズパッケージの他の例を示す部分側断面図である。

【図 3】(a) ~ (h) は、本発明の図 1 に示すチップサイズパッケージの製造方法を説明する工程図である。

【図 4】(a) ~ (g) は、本発明の図 2 に示すチップサイズパッケージの製造方法を説明する工程図である。

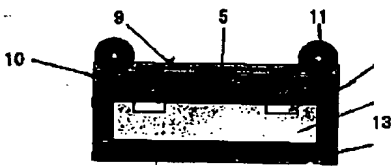
【図 5】(h) ~ (j) は、本発明の図 2 に示すチップサイズパッケージの製造方法を説明する工程図である。

【図 6】従来の製造方法で得られたチップサイズパッケージの一例を示す部分側断面図である。

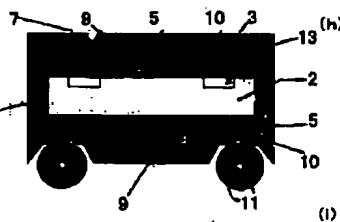
【符号の説明】

- 1 … 半導体装置
- 2 … ウエハー
- 3 … 電極パッド
- 4 … 保護テープ
- 5 … 絶縁樹脂層
- 6 … ヒートシンク用の銅板
- 7 … バイアホール
- 8 … 無電解銅めっき層
- 9 … solder レジスト層
- 10 … 配線パターン
- 11 … 外部接続端子
- 12 … 貫通孔
- 13 … 貫通スルホール
- 14 … 半導体素子

【図 1】



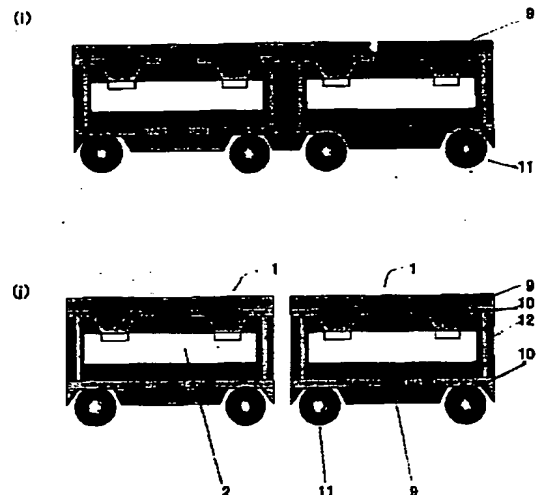
【図 2】



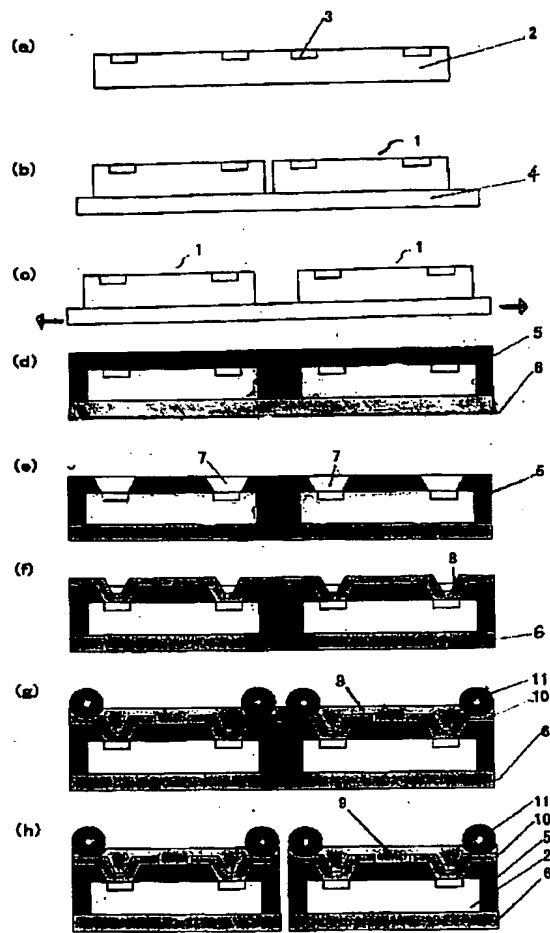
【図 5】



【図 6】



【図3】



【図4】

